

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-190028

(43)Date of publication of application : 23.07.1996

(51)Int.Cl.

G02B 6/122

(21)Application number : 07-003359

(22)Date of filing : 12.01.1995

(71)Applicant : HITACHI CABLE LTD

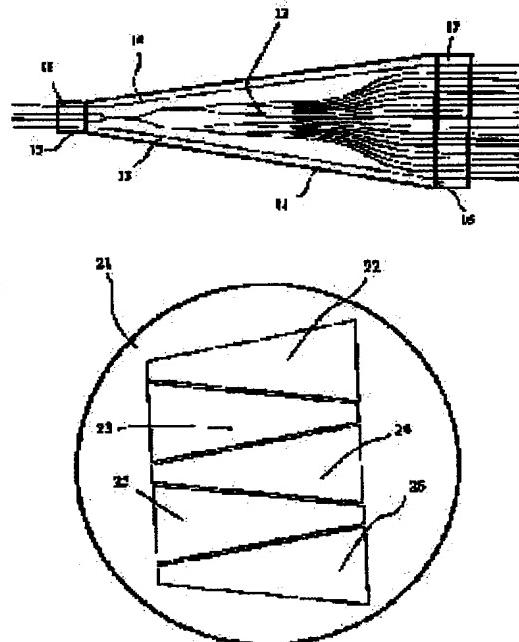
(72)Inventor : SHIRATA TOMOYUKI  
OKAWA MASAHIRO  
SHIODA TSUNEO  
OKANO HIROAKI  
TAKEYA NORIAKI

## (54) NXM SPLITTER WAVEGUIDE ELEMENT AND ITS PRODUCTION

### (57)Abstract:

**PURPOSE:** To make it possible to form many waveguide elements of a larger number of ports on a wafer and to suppress a manufacturing cost by forming these elements to a trapezoidal shape.

**CONSTITUTION:** The waveguide element 11 is provided with optical circuits 12 which are many waveguides by branching of plural waveguides from the upper side to the lower side direction and the waveguides 13, 14 for alignment in the regions exclusive of the optical circuits 12 on a trapezoidal substrate. The respective waveguides have light input/output ends (ports) at the end faces of the waveguide element 11. The N port side 15 of the smaller number of the ports is on the upper side of the trapezoidal shape and the width at its end face is formed narrow. The M port side 16 of the larger number of the ports is on the lower side of the trapezoidal shape and the width at its end face is formed wide. A fiber array 18 is connected to the N port side and a fiber array 17 to the M port side 16, respectively. The waveguide elements 22 to 26 are so formed that their directions vary from each other. The elements are formed on the wafer substrate 21 in such a manner that the upper sides and the lower sides of the trapezoidal shape are straightly aligned.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-190028

(43)公開日 平成8年(1996)7月23日

(51)Int.Cl.<sup>6</sup>

G 02 B 6/122

識別記号

序内整理番号

F I

技術表示箇所

G 02 B 6/ 12

D

審査請求 未請求 請求項の数7 O.L (全5頁)

(21)出願番号 特願平7-3359

(22)出願日 平成7年(1995)1月12日

(71)出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72)発明者 白田 知之

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社オプトロシステム研究所内

(72)発明者 大川 正浩

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社オプトロシステム研究所内

(72)発明者 塩田 恒夫

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社オプトロシステム研究所内

(74)代理人 弁理士 絹谷 信雄

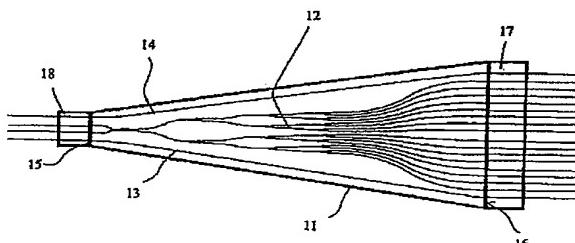
最終頁に続く

(54)【発明の名称】 N×Mスプリッタ導波路素子及びその製造方法

(57)【要約】

【目的】 ポート数の少ないNポート側の基板の空きスペースに着目することにより、ポート数が多い導波路素子でもウェハ上に多数形成でき、製造コストを抑えることができるN×Mスプリッタ導波路素子を提供する。

【構成】 基板上に複数の導波路が分岐して多数の導波路となるよう光回路12を形成したN×Mスプリッタ導波路素子11において、ポート数が少ないNポート側15の導波路素子幅をMポート側16の素子幅より細くして、素子11の形状を台形とする。



## 【特許請求の範囲】

【請求項1】 基板上に複数の導波路が分岐して多数の導波路となるよう光回路を形成したN×Mスプリッタ導波路素子において、ポート数が少ないNポート側の導波路素子幅をMポート側の素子幅より細くして、素子の形状を台形とすることを特徴としたN×Mスプリッタ導波路素子。

【請求項2】 N×Mスプリッタ導波路素子の両ポート側にファイバアレイを接続する際に、該ファイバアレイとの光軸を調整するために使用するアライメント用導波路を光回路以外の領域に設けたことを特徴とする請求項1記載のN×Mスプリッタ導波路素子。

【請求項3】 アライメント用導波路が導波路素子側面にはほぼ平行であることを特徴とする請求項2記載のN×Mスプリッタ導波路素子。

【請求項4】 アライメント用導波路の入出射部が、導波路素子の端面と垂直になるように、アライメント用導波路に曲がり導波路を設けたことを特徴とする請求項3記載のN×Mスプリッタ導波路素子。

【請求項5】 導波路素子の端面が厚さ方向に8度斜め研磨されていることを特徴とする請求項1ないし4記載のN×Mスプリッタ導波路素子。

【請求項6】 複数の台形形状の導波路素子をウエハ基板上に、それぞれの向きが互い違いになるように形成したことを特徴とするN×Mスプリッタ導波路素子の製造方法。

【請求項7】 複数の台形形状の導波路素子をウエハ基板上に、それぞれの台形の上辺と下辺が、一直線になるよう形成し、その直線に沿って切断し、導波路素子の端面を一括してその厚さ方向に斜め研磨し、導波路素子を個別に切出すことを特徴とする請求項6記載のN×Mスプリッタ導波路素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、N×Mスプリッタ導波路素子とその製造方法に関するものである。

## 【0002】

【従来の技術】 従来のN×Mスプリッタ導波路素子を図8に示した。

【0003】 N×Mスプリッタ導波路素子63は長方形基板上に、複数の導波路が、分岐して多数の導波路となるよう光回路66を形成した構成で、各導波路は素子端面に光入出力端部（ポート）を有している。ここで、ポートの少ない側をNポート側62、ポートの多い側をMポート側61とする。

【0004】 このN×Mスプリッタ導波路素子63のNポート側62に光ファイバアレイ64、Mポート側61に光ファイバアレイ65を接続する。接続する際の位置決め用のアライメントは、光回路66のポートに光を入射させて行った。

10 【0006】 つまり、N×Mスプリッタ導波路素子のポート数が多くなるほど、導波路素子幅の面積が著しく広くなり、1ウエハ内に形成できる素子数が大幅に減少し、導波路素子一個当たりの製造コストが高くなってしまう。

【0007】 更に、ポート数が多くなると発生する問題として、ファイバアレイと接続する際、アライメントのためにNポート側から光を入射すると、スプリッタの分岐数が多いためスプリッタを伝搬しMポート側から出射する光パワーが著しく減少してしまうことから、アライメント誤差が生じ易いという問題がある。

20 【0008】 例えば、図8のN×Mスプリッタ導波路素子は16分岐であるが、さらに分岐数の多い32分岐のスプリッタ等では入射した光パワーは32分配され15dB以上減衰し、非常に弱い光となってしまう。このように光パワーが弱くなってしまうと、ファイバアレイを接続する際、位置決めのためのアライメントが不正確になり、軸ずれ等が生じ接続損失の増加を招いてしまう。

【0009】 そこで、本発明の目的は、上記課題を解決し、ポート数の少ないNポート側の基板の空きスペースに着目することにより、ポート数が多い導波路素子でもウエハ上に多数形成し製造コストを抑えることができるN×Mスプリッタ導波路素子を提供することにある。また本発明の目的は、他の光部品と接続する際のアライメントを正確に行ってアライメント誤差による接続損失の増加を低減できるN×Mスプリッタ導波路素子を提供することにある。

## 【0010】

【課題を解決するための手段】 上記目的を達成するためには請求項1の発明は、基板上に複数の導波路が分岐して多数の導波路となるよう光回路を形成したN×Mスプリッタ導波路素子において、ポート数が少ないNポート側15の導波路素子幅をMポート側16の素子幅より細くして、素子の形状を台形とすることを特徴としたN×Mスプリッタ導波路素子である。

40 【0011】 請求項2の発明は、N×Mスプリッタ導波路素子の両ポート側にファイバアレイを接続する際に、該ファイバアレイとの光軸を調整するために使用するアライメント用導波路を光回路以外の領域に設けたことを特徴とする請求項1記載のN×Mスプリッタ導波路素子である。

50 【0012】 請求項3の発明は、アライメント用導波路

が導波路素子側面にほぼ平行であることを特徴とする請求項2記載のN×Mスプリッタ導波路素子である。

【0013】請求項4の発明は、アライメント用導波路の入出射部が、導波路素子の端面と垂直になるように、アライメント用導波路に曲がり導波路を設けたことを特徴とする請求項3記載のN×Mスプリッタ導波路素子である。

【0014】請求項5の発明は、導波路素子の端面が厚さ方向に8度斜め研磨されていることを特徴とする請求項1ないし4記載のN×Mスプリッタ導波路素子である。

【0015】請求項6の発明は、複数の台形形状の導波路素子をウエハ基板上に、それぞれの向きが互い違いになるように形成したことを特徴とするN×Mスプリッタ導波路素子の製造方法である。

【0016】請求項7の発明は、複数の台形形状の導波路素子をウエハ基板上に、それぞれの台形の上辺と下辺が、一直線になるよう形成し、その直線に沿って切断し、導波路素子の端面を一括してその厚さ方向に斜め研磨し、導波路素子を個別に切出すことを特徴とする請求項6記載のN×Mスプリッタ導波路素子の製造方法である。

### 【0017】

【作用】上記構成によりN×Mスプリッタ導波路素子は台形形状となるため、素子面積は小さくなり、ウエハ上に多くの素子を形成することができる。また、アライメント用導波路を設けたことにより、ポート数の多い導波路素子と光部品の接続において、アライメント誤差を小さくすることができる。

【0018】更に、台形形状とした複数の導波路素子をそれぞれ向きが互い違ひになるようウエハ基板上に形成することにより、1ウエハ内に形成できる素子数を多くすることができ、また、それぞれの台形の上辺と下辺が一直線になるよう形成し、その直線に沿って切り出した素子ブロックに、斜め研磨を一括して施すことにより、研磨時間の短縮をすることができる。

### 【0019】

【実施例】以下、本発明の一実施例を添付図面に基づいて詳述する。

【0020】図1に、N×Mスプリッタ導波路素子の平面図を示した。

【0021】N×Mスプリッタ導波路素子11は、台形基板上に、上辺から下辺方向に複数の導波路が分岐して多数の導波路となる光回路12と、光回路以外の領域にアライメント用導波路13、14を設けた構成であり、各導波路は導波路素子11の端面に光入出力端部（ポート）を有する。

【0022】N×Mスプリッタ導波路素子11のポート数の少ないNポート側15は台形の上辺側でありそのN×Mスプリッタ導波路素子11の端面の幅は狭く、ポー

ト数の多いMポート側16は台形の下辺側でありそのN×Mスプリッタ導波路素子11の端面の幅は広くなっている。

【0023】また、Nポート側15には、その端面の幅と等しい幅のファイバアレイ18が、Mポート側16には、その端面の幅と等しい幅のファイバアレイ17がそれぞれ接続されている。この接続面であるNポート側15、Mポート側16の端面は厚さ方向に対して8度斜めに研磨されている。

10 【0024】アライメント用導波路13、14については、光回路12の両側にN×Mスプリッタ導波路素子11の側面にほぼ平行に配した。アライメント用導波路13のNポート側の端部の拡大図を図2に示した。アライメント用導波路13は、N×Mスプリッタ導波路素子11の側面84に平行な直線導波路82と曲がり導波路81と直線導波路85から構成されている。アライメント用導波路13の入出力端部となる直線導波路85は導波路素子11のNポート側15の端面83と垂直であり、曲がり導波路81は、直線導波路82と直線導波路85を曲線状に繋げるように設けられている。

【0025】図3には、ファイバアレイとの接続面となる導波路素子の端面に施された斜め研磨の様子を示した。斜め研磨した導波路素子31～34にファイバアレイ311、312、321、322、331、332、341、342が接続されている。斜め研磨方向は(a) (b) (c) (d) に示すどの方向でもよい。

【0026】ここで、図1に示す導波路素子を製造するために、導波路素子をウエハ基板に形成した状態を図4に示した。導波路素子22～26をそれぞれの向きが互い違ひになるようにし、台形の上辺と下辺が一直線になるようウエハ基板21上に形成した。このように導波路素子を形成すれば、1ウエハ上に導波路素子を5個形成することができる。

30 【0027】次に、導波路素子の一括研磨方法を示す。まず、図5に示すウエハ基板54に形成された導波路素子の切り出しを行う。切り出す場合は、個々の導波路素子ではなく導波路素子ブロック55を切り出す。図6にこの導波路素子ブロックの切り出し例を示した。導波路素子ブロックは切り出し形状51、52、53のいずれでもよい。

【0028】次にこの切出した導波路素子ブロック51、52、53の上辺と下辺からなる直線を含む端面56、57、58、59、501、502を厚さ方向に対して8度斜めに研磨し、そして、図7に示したように個々の導波路素子503～507に切断する。

【0029】この一括研磨方法によれば、例えば、図6の導波路素子ブロック51は端面56と端面57を研磨すればよいのだから計2回の研磨で、5個の導波路素子の研磨が終了する。もし、個々に切り出してから研磨するすれば10回の研磨が必要である。

【0030】次に実施例の作用を述べる。

【0031】上記構成によればN×Mスプリッタ導波路素子は、Nポート側に空きスペースの無い、コンパクトな台形形状となり、この台形型導波路素子を複数個それぞれの向きが互い違いになるよう形成することにより、1ウエハ上に形成できる素子数を多くすることができる。また、これらの台形型の導波路素子の台形の上辺と下辺が一直線になるように形成し、この直線に沿って切出した導波路素子ブロックの端面を研磨することにより、導波路素子の一括研磨が可能になる。

【0032】更に、上記導波路素子に設けたアライメント用導波路は光回路と独立しているため、光回路のポート数が多くなっても光パワーが小さくなることがないため、アライメント誤差が増大することがなくなる。

【0033】

【発明の効果】以上要するに本発明によれば、ポート数の多いN×Mスプリッタ導波路素子において、形状をコンパクトな台形とし、台形の向きが互い違いになるよう形成することにより、1ウエハ上に形成できる素子数を多くし、導波路素子一個当たりの製造コストを低くすることができる。また、素子の一括研磨が可能なため、研磨時間の短縮が計れる。

【0034】更に、アライメント用導波路を設けることによって、光部品と接続する際のアライメントの誤差を小さくすることができるので、接続損失を小さくするこ

とができる。

【図面の簡単な説明】

【図1】本発明N×Mスプリッタ導波路素子である。

【図2】アライメント用導波路の導波路素子端面部分の拡大図である。

【図3】導波路素子の斜め研磨の方向を示す図である。

【図4】図1のN×Mスプリッタ導波路素子をウエハ上に形成した状態を示す図である。

【図5】導波路素子ブロックに切出す前の状態を示す図である。

【図6】切出した導波路素子ブロックを示す図である。

【図7】導波路素子ブロックから切断された個々の導波路素子を示す図である。

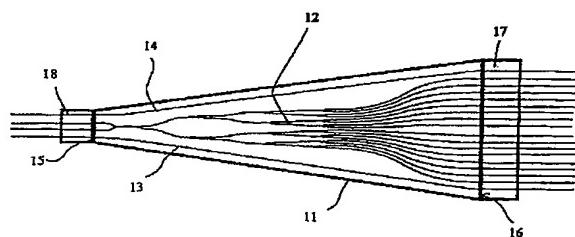
【図8】従来のN×Mスプリッタ導波路素子である。

【図9】図8のN×Mスプリッタ導波路素子をウエハ上に形成した状態を示す図である。

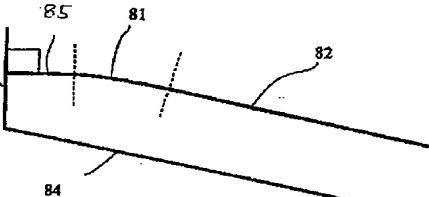
【符号の説明】

- 1 1 N×Mスプリッタ導波路素子
- 1 2 光回路
- 20 1 3 アライメント用導波路
- 1 4 アライメント用導波路
- 1 5 Nポート側
- 1 6 Mポート側
- 1 7 ファイバアレイ
- 1 8 ファイバアレイ

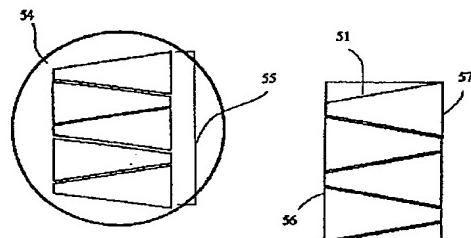
【図1】



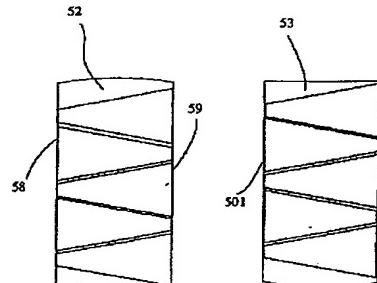
【図2】



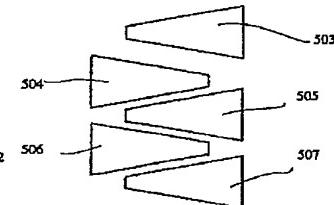
【図5】



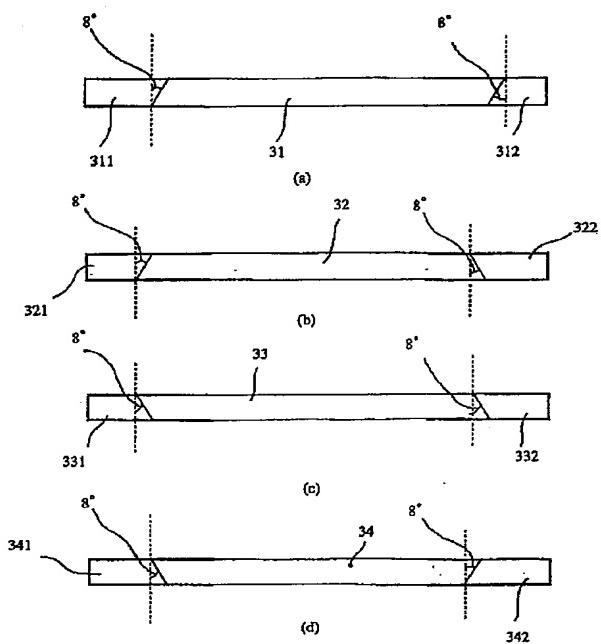
【図6】



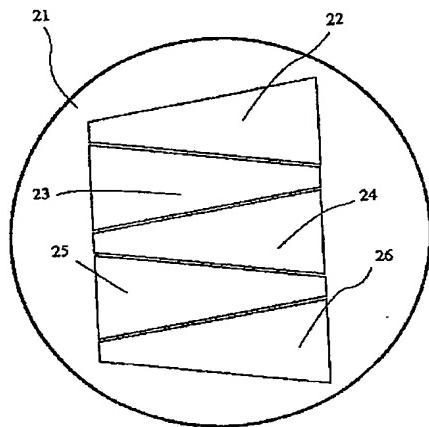
【図7】



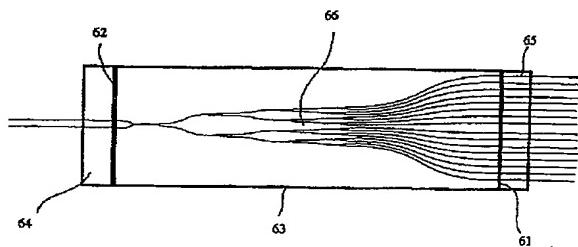
【図3】



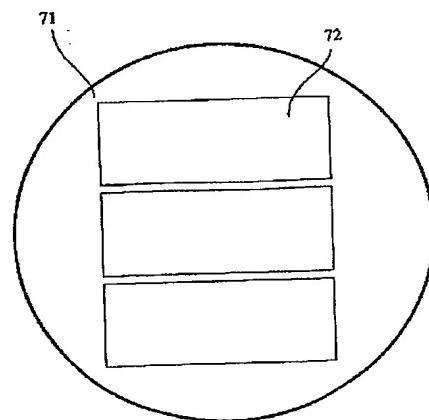
【図4】



【図8】



【図9】



フロントページの続き

(72) 発明者 岡野 広明

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社オプトロシステム研究所内

(72) 発明者 竹谷 則明

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社オプトロシステム研究所内